

Время задержки основного логического элемента

22) время задержки основного логического элемента - величина времени задержки прохождения сигнала через основной логический элемент, используемый в монолитной интегральной схеме. Для серии монолитных интегральных схем такое время может быть определено либо как время задержки прохождения сигнала на типичном основном элементе в данной серии, либо как типичное время задержки прохождения сигнала в основном элементе данной серии (категория 3)

Источник: Приказ ФТС России от 27.03.2012 № 575 (редакция от 30.10.2012) "О контроле за экспортом товаров и технологий двойного назначения, которые могут быть использованы при создании вооружений и военной техники и в отношении которых осуществляется экспортный контроль"

Источник: <https://alexeyborisov.ru/enc/29339/>